

Einführung in die Diskrete Mathematik

8. Übung

1. Betrachten Sie die folgende Variante des BELLMAN-FORD-ALGORITHMUS: Numeriere die Knoten des gegebenen Graphen G in einer beliebigen Reihenfolge, es sei also $V(G) = \{v_1, \dots, v_n\}$. Betrachte nun in jeder Iteration die Kanten in folgender Reihenfolge: Durchlaufe die Knoten von v_1 nach v_n und betrachte für jeden dabei besuchten Knoten v_i alle Kanten $(v_i, v_j) \in E(G)$ mit $i < j$, um $l(v_j)$ neu zu setzen. Durchlaufe anschließend alle Knoten von v_n nach v_1 und betrachte für jeden dabei besuchten Knoten v_i alle Kanten $(v_i, v_j) \in E(G)$ mit $j < i$, um $l(v_j)$ neu zu setzen. Zeigen Sie, daß, wenn man in jeder Iteration alle Kanten in dieser Reihenfolge betrachtet, $\lceil \frac{n}{2} \rceil + 1$ Iterationen ausreichend sind. (4 Punkte)
2. Betrachten Sie folgende Version des BELLMAN-FORD-ALGORITHMUS: Solange es eine Kante (v, w) mit $l(w) > l(v) + c((v, w))$ gibt, wähle eine beliebige solche Kante aus und setze $l(w) = l(v) + c((v, w))$. Zeigen Sie, daß diese Vorgehensweise bei einer ungeschickten Wahl der Kantenreihenfolge eine exponentielle Zahl von Knotenlabel-Änderungen notwendig machen kann. (4 Punkte)
3. Sei G ein kreisfreier gerichteter Graph mit n Knoten. Entfernt man aus G nacheinander alle Kanten (v, w) , für die es einen v - w -Weg gibt, der aus mehr als einer Kante besteht, so nennt man das Ergebnis die transitive Reduktion von G . Wie kann man in Zeit $O(n^3)$ die transitive Reduktion eines kreisfreien Graphen berechnen? (4 Punkte)
Hinweis: Modifizieren Sie den FLOYD-WARSHALL-ALGORITHMUS.
4. Die Zeitsteuerungsbedingungen („timing constraints“) eines Logikchips lassen sich durch einen gerichteten Graphen G mit Kantengewichten $c : E(G) \rightarrow \mathbb{R}_+$ darstellen. Dabei entsprechen die Knoten den Speicherelementen und die Kanten gewissen durch die kombinatorische Logik definierten Wegen, während die Gewichte (Schätzungen der) Signallaufzeiten entsprechen. Eine wichtige Aufgabe des VLSI-Chip-Designs (VLSI bedeutet „very large scale integrated“) ist es, einen optimalen Clock-Zeitplan zu finden, d.h. eine möglichst kleine Zahl T und eine Abbildung $a : V(G) \rightarrow \mathbb{R}$ mit der Eigenschaft, daß $a(v) + c((v, w)) \leq a(w) + T$ für alle $(v, w) \in E(G)$. T ist die Zykluszeit des Chips, und $a(v)$ bzw. $a(v) + T$ sind die Startzeit bzw. die späteste zulässige Ankunftszeit des Signals in v .
 - a) Reduzieren Sie das Problem, das optimale T zu finden, auf das MINIMUM-MEAN-CYCLE-PROBLEM.
 - b) Zeigen Sie, wie man die Zahlen $a(v)$ einer optimalen Lösung effizient bestimmen kann.
 - c) Typischerweise sind einige der Zahlen $a(v)$ vorab festgelegt. Man zeige, wie man in diesem Fall das Problem lösen würde. (4 Punkte)